

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048098

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H01L 29/784

H01L 27/12

(21)Application number : 03-206658

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.08.1991

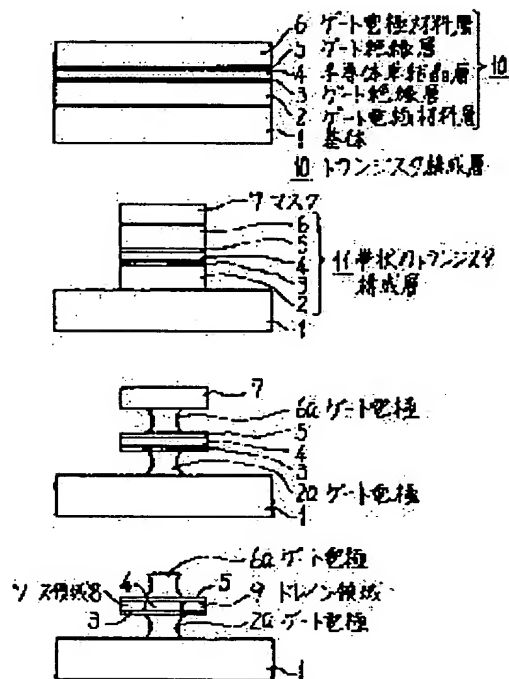
(72)Inventor : TAKASE RIKIO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To form a couple of upper and lower gate positions With high accuracy to stabilize characteristics by simultaneously removing upper and lower layers gate electrode material layers from both side surfaces of a striplike transistor forming layer leaving only the width of a gate length of transistor and simultaneously forming the lower gate electrode and upper gate electrode.

CONSTITUTION: Gate electrode material layers 2, 6 are partly removed by the isotropic etching from both side surfaces of an striplike transistor forming layer 11 and a couple of gate electrode material layers 2, 6 are left as two gate electrodes 2a, 6a sandwiching a semiconductor crystal layer 4 at the center of the striplike transistor forming layer 11. As explained above, since two gate electrode material layers 2, 6 are etched in the same rate from both side surfaces of the striplike transistor forming layer 10 having the rectangular sectional area, two gate electrodes 2a, 6a are necessarily located at the center of the striplike transistor forming layer 10. Accordingly, two gate electrodes 2a, 6a are formed with the center thereof located in the same area.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

|                          |      |           |                |         |
|--------------------------|------|-----------|----------------|---------|
| (51)Int.Cl. <sup>5</sup> | 識別記号 | 庁内整理番号    | F I            | 技術表示箇所  |
| H 0 1 L 29/784           |      |           |                |         |
| 27/12                    |      | Z 8728-4M |                |         |
|                          |      | 9056-4M   | H 0 1 L 29/ 78 | 3 1 1 G |

審査請求 未請求 請求項の数 2(全 6 頁)

(21)出願番号 特願平3-206658

(22)出願日 平成3年(1991)8月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 高瀬 利貴雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

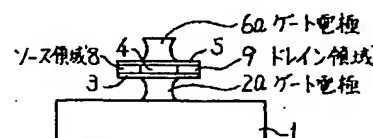
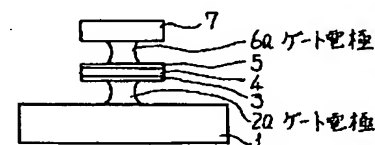
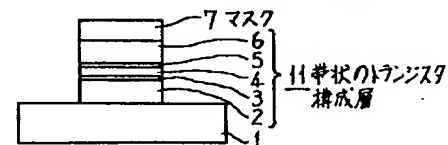
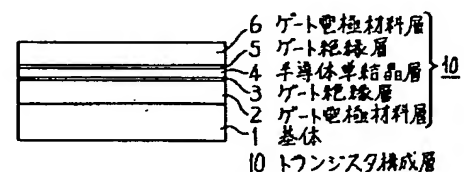
## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】 ダブルゲートトランジスタの製造に関し、上下のゲート位置を高精度に形成し、安定した特性のトランジスタを製造することを目的とする。

【構成】 基体1上に、ゲート電極材料層2、ゲート絶縁層3、半導体単結晶層4、ゲート絶縁層5、ゲート電極材料層6が上記の順序で設けられたトランジスタ構成層10を形成する工程と、トランジスタ構成層10のうちトランジスタが形成されるべき領域を包含しトランジスタのゲート電極2a、6aと平行に延びる帯状の領域を残して、該帯状の領域の外側のトランジスタ構成層10を異方性エッチングにより除去して断面矩形の帯状のトランジスタ構成層11を形成する工程と、帯状のトランジスタ構成層11の両側面からゲート電極材料層2、6をゲート長の幅を残して等方性エッチングして除去し、2のゲート電極2a、6aを同時に形成する工程とを有することを特徴として構成する。

## 本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 基体（1）上に設けられた半導体単結晶層（4）の両面にゲート電極が設けられたトランジスタを含む半導体装置の製造方法において、

該基体（1）上に、下層ゲート電極材料層（2）、下層ゲート絶縁層（3）、半導体単結晶層（4）、上層ゲート絶縁層（5）、上層ゲート電極材料層（6）が上記の順序で設けられたトランジスタ構成層（10）を形成する工程と、

次いで、該トランジスタ構成層（10）のうち該トランジスタが形成されるべき領域を包含し該トランジスタの該ゲート電極（2a、6a）と平行に延びる帯状の領域を残して、該帯状の領域の外側の該トランジスタ構成層（10）を異方性エッチングにより除去して断面矩形の帯状のトランジスタ構成層（11）を形成する工程と、  
次いで、該帯状のトランジスタ構成層（11）の両側面からするゲート電極材料（2、6）の等方性エッチングにより、該帯状のトランジスタ構成層（11）中の該下層ゲート電極材料層（2）及び上層ゲート電極材料層（6）を前記トランジスタのゲート長の幅を残して該帯状のトランジスタ構成層（11）の両側面から同時に除去し、該下部ゲート電極（2a）及び該上部ゲート電極（6a）とを同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

該下部及び該上部ゲート電極（2a、6a）の形成後、該上部ゲート電極（6a）をマスクとして該半導体単結晶層（4）へ不純物イオンを注入し、前記トランジスタのソース領域（8）及びドレイン領域（9）を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、特に半導体層の両面にゲート電極を有するトランジスタ（以下ダブルゲートトランジスタという。）の製造に関する。

【0002】 近年、SOI基板を用いた半導体素子の製造技術の進展に伴い製造が容易になったダブルゲートトランジスタが、高い電流駆動能力をもち、ショートチャネル効果改善に適する素子として注目され、開発が進められている。

【0003】 しかし、ダブルゲートトランジスタの電気的特性は電極等の寸法、位置精度に著しく依存する。このため、特性の揃ったダブルゲートトランジスタを製造する精密な加工方法が必要とされている。

## 【0004】

【従来の技術】 従来、ダブルゲートトランジスタの製造は、先ず下部ゲート電極をパターニングして形成した後、半導体結晶層を挟み反対側の面に堆積された電極材

料をフォトリソエッチングによりパターニングして上部ゲート電極を形成することによりなされる。

【0005】 かかる如く、従来の方法では、下部及び上部ゲート電極は各別のパターニングにより行われており、その位置合せは不可欠のものである。従って、マスク合わせに起因する誤差を避けることができない。

【0006】 また、両ゲート間には半導体結晶層が介在するため、上部、下部のゲート電極を同時にエッチングして形成することができず、上部、下部のゲート電極をセルフアライン技術をもって形成することもできない。

【0007】 このため、上部及び下部のゲート電極の位置及び大きさを一致させて形成することは困難であった。

## 【0008】

【発明が解決しようとする課題】 上述のように、従来のダブルゲートトランジスタの製造方法では、上部及び下部のゲート位置精度はフォトリソマスクの位置合せ精度で制限され、精密な位置に設けることができない。このためトランジスタの特性を揃えて製造することが難しいという問題がある。

【0009】 本発明は、上部及び下部の2つのゲート位置を高精度で形成し、安定した特性のダブルゲートトランジスタを有する半導体装置の製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 図1は本発明の原理説明図であり、ダブルゲートトランジスタの製造工程をその断面図により表したものである。

【0011】 本発明の第一の構成では、図1（a）を参照して、基体1上に設けられた半導体単結晶層4の両面にゲート電極が設けられたトランジスタを含む半導体装置の製造方法において、該基体1上に、下層ゲート電極材料層2、下層ゲート絶縁層3、半導体単結晶層4、上層ゲート絶縁層5、上層ゲート電極材料層6が上記の順序で設けられたトランジスタ構成層10を形成する工程と、次いで、該トランジスタ構成層10のうち該トランジスタが形成されるべき領域を包含し該トランジスタの該ゲート電極2a、6aと平行に延びる帯状の領域を残して、該帯状の領域の外側の該トランジスタ構成層10を異方性エッチングにより除去して断面矩形の帯状のトランジスタ構成層11を形成する工程と、次いで、該帯状のトランジスタ構成層11の両側面からするゲート電極材料2、6の等方性エッチングにより、該帯状のトランジスタ構成層11中の該下層ゲート電極材料層2及び上層ゲート電極材料層6を前記トランジスタのゲート長の幅を残して該帯状のトランジスタ構成層11の両側面から同時に除去し、該下部ゲート電極2a及び該上部ゲート電極6aとを同時に形成する工程とを有することを特徴として構成し、及び、第二の構成は、図1（d）を参照して、第一の構成の半導体装置の製造方法におい

て、該下部及び該上部ゲート電極2a、6aの形成後、該上部ゲート電極6aをマスクとして該半導体単結晶層4へ不純物イオンを注入し、前記トランジスタのソース領域8及びドレイン領域9を形成することを特徴として構成する。

#### 【0012】

【作用】本発明の構成では、図1(a)を参照して、基体1上にゲート、ソース、ドレイン領域が形成されるべき半導体単結晶層4の両面にゲート電極材料層2、6がゲート絶縁膜を介して積層されたトランジスタ構成層10を、図1(b)を参照して、マスク7を用いた異方性エッチングにより断面矩形の帯状に成形し、その後、図1(c)を参照して、帯状のトランジスタ構成層11の両側面からゲート電極材料層2、6を等方性エッチングして一部を除去し、2つのゲート電極材料層2、6を帯状のトランジスタ構成層11の中央に、半導体単結晶層4を挟んだ2つのゲート電極2a、6aとして残すのである。

【0013】かかる構成では、2つのゲート電極材料層2、6は、矩形断面を有する帯状のトランジスタ構成層10の両側面から同じ速さでエッチングされるから、2つのゲート電極2a、6aは、必然的に帯状のトランジスタ構成層10の中央に位置することとなる。

【0014】従って、2つのゲート電極2a、6aはその中心を同一とする位置に形成されるのである。しかも、帯状のトランジスタ構成層10の断面を矩形とするとき、その中の2つのゲート電極材料層2、6の幅は同一であり、ゲート電極材料層2、6の膜厚が同じときにはエッチング速度もまた同一となる。

【0015】従って、2つのゲート電極2a、6aは同一の大きさに形成される。本構成において、2つのゲート電極2a、6aの大きさはエッチング速度とエッチング時間により定まる。

【0016】従って、ゲート電極2a、6aの大きさはエッチング時間により制御することができるので、大きさを精密に制御することが容易である。上記のように、本構成によれば、半導体結晶層4を挟む2つのゲート電極2a、6aを同一位置に、同一のかつ精密な大きさに形成することができる。

【0017】なお、2つのゲート電極材料層2、6の厚さを違えてエッチング速度を異なるものとすることで、異なる大きさの2つの電極2a、6aを成形することもできる。

【0018】本発明の第二の構成では、図1(d)を参照して、第一の構成により形成されたゲート電極6aをマスクとするイオン注入により、ソース領域8及びドレイン領域9をセルフアラインで形成するものである。

【0019】従って、ソース、ドレイン領域8、9とゲート電極2a、6aとの間に相対位置精度の誤差を生ずることが無いから、安定した特性のトランジスタを製造

することができる。

【0020】また、フォトリソグラフィの工程を省略できる。

#### 【0021】

【実施例】本発明を実施例に沿って説明する。図2～図4は本発明の実施例工程図であり、SOI基板上に形成されるダブルゲートトランジスタの断面を表したもので、各図はその前段工程、中段工程、後段工程をそれぞれ表している。なお、一部の図には平面図を付け加えている。

【0022】また、全図面を通して同一機能のものには同一符号を付している。先ず図2(a)を参照して、例えば単結晶のシリコンウェーハ4aの一面に厚さ10nmのゲート絶縁膜3を熱酸化して形成したのち、その上にゲート電極材料層2として例えば厚さ200nmのポリシリコン層をCVD法により堆積する。

【0023】勿論、一般にゲート電極材料として用いられる金属材料、結晶材料を適用することができる。さらに、別のシリコンウェーハ1aの表面に例えば厚さ600nmの熱酸化膜1bを形成し、熱酸化膜1bとゲート電極材料層2とを合わせて2枚のシリコンウェーハ1a、4aを例えば加熱して接着する。

【0024】次いで、図2(b)を参照して、シリコンウェーハ4aを例えば厚さ200nm迄研磨して半導体単結晶層4を形成する。次いで、図2(c)を参照して、半導体単結晶層4をフォトエッチングにより、トランジスタ形成領域21を残して除去する。

【0025】次いで、図2(d)を参照して、半導体単結晶層4の表面に例えば厚さ10nmの熱酸化膜を形成し、ゲート絶縁層5とする。この際、ポリシリコンからなるゲート電極材料層2表面には酸化絶縁膜22が形成される。

【0026】次いで、ゲート電極材料層2表面に形成された酸化絶縁膜22のゲート電極2a、6aが形成されるべき領域の一部にコンタクト窓23を開口する。なお、コンタクト窓23は2つのゲート電極2a、6aを電氣的に接続するためのもので、本発明の必須の構成要素ではない。

【0027】また、半導体単結晶層4の熱酸化工程においてゲート電極材料層表面に形成される反応生成物を除去してもよい。次いで、図3(e)を参照して、半導体単結晶層4及びゲート電極材料層2を覆いゲート電極材料層6として例えばポリシリコンをCVD法により厚さ200nm堆積する。

【0028】ゲート電極材料層6として、他の材料を適用できることはゲート電極材料層2の場合と同様である。以上の工程により、ゲート電極材料層2、6、ゲート絶縁層3、5、及び半導体単結晶層4からなるトランジスタ構成層10が形成される。

【0029】次いで、ゲート電極材料層6の上に、例え

ばCVD法により厚さ200nmに堆積した酸化膜をフォトリソエッチングして中心線が通常ゲート電極2a, 6aの中心線と一致する帯状のマスク7を形成する。

【0030】次いで、図3(f)を参照して、マスク7を用いてトランジスタ構成層10を異方性エッチングし、帯状のトランジスタ構成層11を形成する。なお、帯状のトランジスタ構成層11の中心線を半導体単結晶層4の中心線と必ずしも一致させることは必要ではない。

【0031】次いで、図3(g)を参照して、帯状のトランジスタ構成層11の両側面からゲート電極材料層2, 6を、帯状のトランジスタ構成層11の中心線上に2つのゲート電極材料からなる細線を残してエッチングにより除去し、2つのゲート電極を形成する。

【0032】かかる半導体単結晶層4及びゲート絶縁層3, 5をエッチングせずゲート電極材料層2, 6のみを等方性にエッチングする方法は、例えばゲート電極材料がポリシリコンのときはダウンフロー方式の酸素を含むCF<sub>4</sub>のプラズマエッチングによりなされ、金属材料の多くは化学的エッチング、又はプラズマエッチングによりなされる。

【0033】また、ゲート電極幅（ゲート長に相当する。）はエッチング時間により制御される。次いで、図4(h)を参照して、マスク7をエッチングして除去した後、ゲート電極6aをマスクとして不純物をイオン注入し、ソース領域8、ドレイン領域9を形成する。

【0034】次いで、図4(i)を参照して、基体1上全面に絶縁体41を例えばCVD法により堆積される燐ガラスを、上記のトランジスタ構成層10から加工形成されたトランジスタ等を埋め込み堆積する。

【0035】次いで、ソース領域8、ドレイン領域9及びゲート電極2a, 6aとオーミック接続するためのコンタクトホール42, 43を絶縁体41に開口する。次いで、コンタクトホール42, 43を埋める配線44を

形成して、ダブルゲートトランジスタを完成する。

#### 【0036】

【発明の効果】本発明によれば、半導体単結晶層を挟む2つのゲート電極を同一位置に同一の大きさで形成することができ、またソース及びドレイン領域をゲート電極とセルフアラインで形成することができるので、ゲート位置精度の高いかつ安定した特性のダブルゲートトランジスタを有する半導体装置の製造方法を提供でき、半導体装置の性能向上に寄与するところが大きい。

#### 【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の実施例前段工程図

【図3】 本発明の実施例中段工程図

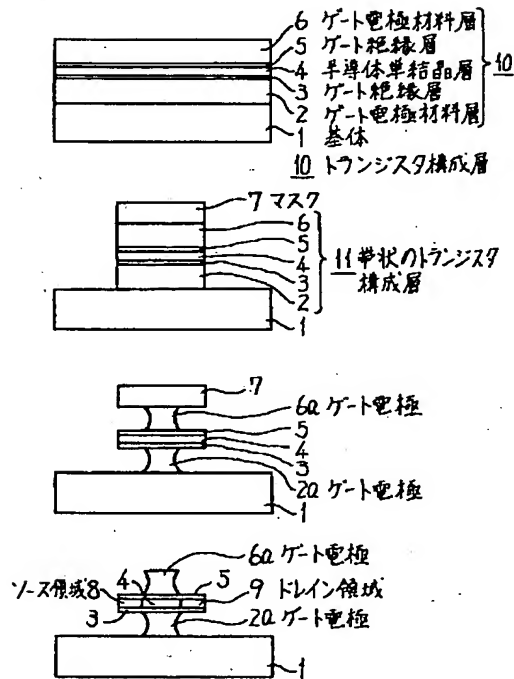
【図4】 本発明の実施例後段工程図

#### 【符号の説明】

- 1 基体
- 1a, 4a シリコンウェーハ
- 1b 熱酸化膜
- 2, 6 ゲート電極材料層
- 2a, 6a ゲート電極
- 3, 5 ゲート絶縁層
- 4 半導体単結晶層
- 7 マスク
- 8 ソース領域
- 9 ドレイン領域
- 10 トランジスタ構成層
- 11 帯状のトランジスタ構成層
- 21 トランジスタ形成領域
- 22 酸化絶縁膜
- 23 コンタクト窓
- 41 絶縁体
- 42, 43 コンタクトホール
- 44 配線

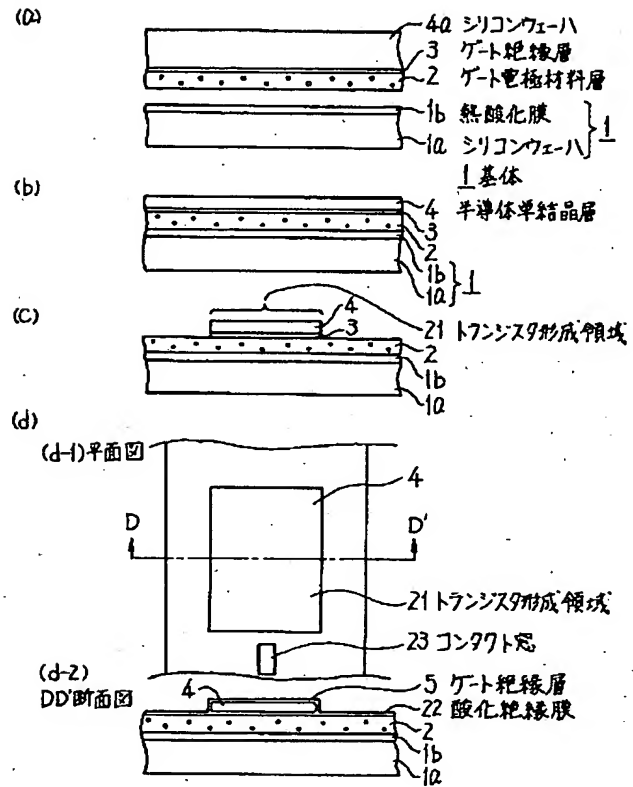
【図1】

本発明の原理説明図



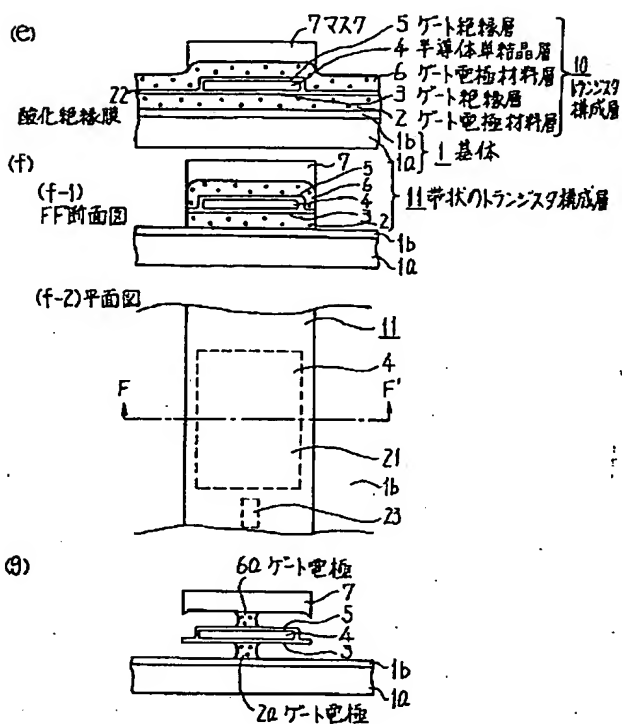
【図2】

本発明の実施例前段工程図



【図 3】

本発明の実施例中投工程図



【図 4】

本発明の実施例後段工程図

